

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-243612

(43)Date of publication of application : 29.08.2003

(51)Int.Cl.

H01L 25/07

H01L 21/52

H01L 23/34

H01L 25/18

(21)Application number : 2002-044666

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 21.02.2002

(72)Inventor : HIRAO MASAYOSHI

SATO KATSUMI

TOI SHIGEO

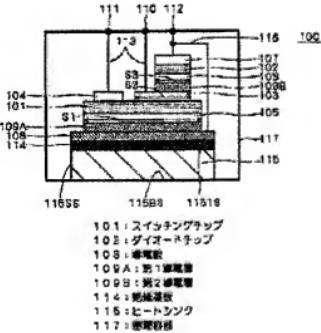
MATSUO KAZUNARI

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To contrive the simplification of an element cooling mechanism and the miniaturization as well as the reduction of weight and cost of a module type element, in the module type element for mounting a semiconductor chip consisting of a wide gap semiconductor such as silicon carbide, gallium nitride or the like.

**SOLUTION:** A switching chip 101, consisting of the matrix of silicon, is arranged on the upper surface of the cooling mechanism consisting of a heat sink 115, an insulation substrate 114 and a conductive plate 108 through a first conductive layer 109A. Further, a diode chip 102, smaller than a cathode electrode 103 in the area thereof and consisting of the matrix of the wide gap semiconductor, is arranged on the cathode electrode 103, smaller than an anode electrode 105 in the area thereof, through a second conductive layer 109B. In this case, a sealed vessel 117 includes respective members into the inside space thereof excluding the exposed part of a bottom surface 115BS.



(19)日本国特許庁 (JP)

## (12)公開特許公報 (A)

(11)特許出願公開番号

特開2003-243612

(P2003-243612A)

(43)公開日 平成15年8月29日(2003.8.29)

(51)Int.Cl.<sup>7</sup>  
H 01 L 25/07  
21/52  
23/34  
25/18

識別記号

F I  
H 01 L 21/52  
23/34  
25/04

マーク\* (参考)  
E 5 F 0 3 6  
A 5 F 0 4 7  
C

審査請求 未請求 請求項の数 7 O L (全 15 頁)

(21)出願番号 特願2002-44666(P2002-44666)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(22)出願日 平成14年2月21日(2002.2.21)

(72)発明者 平尾 正吉

福岡県福岡市西区今宿東一丁目1番1号

福菱セミコンエンジニアリング株式会社内

(72)発明者 佐藤 充巳

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100089233

弁理士 吉田 茂明 (外2名)

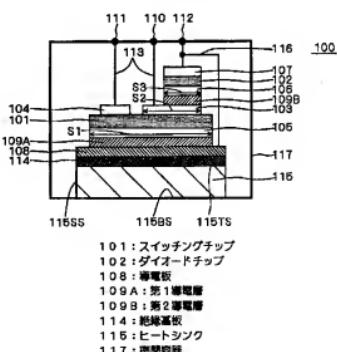
最終頁に続く

## (54)【発明の名称】半導体装置

## (57)【要約】

【課題】炭化シリコンや窒化ガリウム等のワイドギャップ半導体から成る半導体チップを搭載するモジュール型素子において、素子冷却機構の簡素化を図ると共に、モジュール型素子自体の小型化、軽量化及び低コスト化をも図る。

【解決手段】ヒートシンク115、絶縁基板114及び導通板108から成る冷却機構の上面に、第1導電層109Aを介して、シリコンを母材とするスイッチングチップ101を配設する。更に、陽極電極105よりも面積的に小さい陰極電極103の上に、第2導電層109Bを介して、陰極電極103よりも面積的に小さく且つワイドギャップ半導体を母材とするダイオードチップ102を配設する。そして、密閉容器117は、底面115BSの露出部分を除いて、各部材をその内部空間内に包含する。



【特許請求の範囲】

【請求項1】 外部に露出した底面と前記底面に対向する上面とを備えるヒートシンクと、前記ヒートシンクの前記上面に接合された絶縁基板と、前記絶縁基板の上面に接合された導通板と、前記導通板の上面に第1導電層を介して電気的に接続された第1主電極と、前記第1主電極に対向し且つ面積的に前記第1主電極よりも小さい第2主電極とを備える第1半導体チップと、前記第1半導体チップの前記第2主電極に第2導電層を介して電気的に接続されており且つ面積的に前記第1半導体チップよりも小さい第1主電極と、前記第1主電極に対向する第2主電極とを備える第2半導体チップと、前記底面の露出部分を除く前記ヒートシンクと、前記絶縁基板と、前記導通板と、前記第1半導体チップと、前記第2半導体チップとの内部空間内に密閉する容器とを備えており、前記第2半導体チップの前記第2主電極の上方部分は前記容器の前記内部空間であり、前記第2半導体チップの母材は、シリコンよりもバンド間エネルギーギャップが大きいワイドギャップ半導体であることを特徴とする、半導体装置。

【請求項2】 請求項1記載の半導体装置であって、前記第1半導体チップの母材もまた前記ワイドギャップ半導体であることを特徴とする、半導体装置。

【請求項3】 外部に露出した底面と前記底面に対向する上面とを備えるヒートシンクと、前記ヒートシンクの前記上面に接合された絶縁基板と、

前記絶縁基板の上面に接合された導通板と、前記導通板の上面の第1表面部分に第1導電層を介して電気的に接続された第1主電極と、前記導通板の前記上面の法線方向に該当する第1方向に開して前記第1主電極と対向する第2主電極とを備える第1半導体チップと、前記導通板の前記上面の内で前記第1表面部分に隣接した第2表面部分に第2導電層を介して電気的に接続された第1端部を有し且つ前記第1端部から第2端部に向けて前記第1方向に延在する第1部分と、前記第1部分の前記第2端部に連結しており且つ前記第1部分と共にし字状を成す様に前記第1方向と直交する第2方向に延在する第2部分とを有する金属基体と、前記金属基体の前記第2部分の上面に第3導電層を介して電気的に接続された第1主電極と、前記第1方向に開して前記第1主電極と対向する第2主電極とを備える第2半導体チップと、前記底面の露出部分を除く前記ヒートシンクと、前記絶縁基板と、前記導通板と、前記第1半導体チップと、

記金属基体と、前記第2半導体チップとをその内部空間内に密閉する容器とを備えており、

前記金属基体の前記第2部分の下面是前記第1半導体チップの前記第2主電極の上面上方に位置しており、前記第2半導体チップの母材は、シリコンよりもバンド間エネルギーギャップが大きいワイドギャップ半導体であることを特徴とする、半導体装置。

【請求項4】 請求項3記載の半導体装置であって、前記第1半導体チップの母材もまた前記ワイドギャップ半導体であることを特徴とする、半導体装置。

【請求項5】 外部に露出した底面と前記底面に対向する上面とを備える第1導電性基体と、

前記第1導電性基体の前記上面に配置された下面と前記下面に對向する上面とを備える第1金属基体と、前記第1金属基体の前記上面に配置された第1主電極と前記第1主電極に對向する第2主電極とを備える第1半導体チップと、

前記第1半導体チップの前記第2主電極上に配置された下面と前記下面に對向する上面とを備える第2金属基体と、

前記第2金属基体の前記上面に配置された第1主電極と前記第1主電極に對向する第2主電極とを備える第2半導体チップと、

前記第2半導体チップの前記第2主電極上に配置された下面と前記下面に對向する上面とを備える第3金属基体と、

前記第3金属基体の前記上面に配置された下面と前記下面に對向する上面とを備える絶縁基板と、

前記絶縁基板の前記上面に配置された下面と、前記下面に對向し且つ外部に露出する上面とを備える第2導電性基体と、

前記第1金属基体と前記第3金属基体とを互いに電気的に接続する第1配線と、

前記第2金属基体と前記第2導電性基体とを互いに電気的に接続する第2配線と、

前記底面の露出部分を除く前記第1導電性基体と、前記第1金属基体と、前記第1半導体チップと、前記第2金属基体と、前記第2半導体チップと、前記第3金属基体と、前記絶縁基板と、前記上面の露出部分を除く前記第2導電性基体と、前記第1配線と、前記第2配線とを、その内部空間内に密閉する容器とを備え、

前記第1導電性基体の前記底面及び前記上面は、面積的に、前記第1半導体チップの前記第1及び第2主電極よりも大きく、前記第2導電性基体の前記下面及び前記上面は、面積的に、前記第2半導体チップの前記第1及び第2主電極よりも大きく、

前記第1半導体チップ及び前記第2半導体チップの少なくとも一方の母材は、シリコンよりもバンド間エネルギーギャップが大きいワイドギャップ半導体であることを

特徴とする、半導体装置。

【請求項6】 請求項5記載の半導体装置であって、前記第1導電性基体の前記上面と前記第1金属性基体の前記下面とを互いに機械的に接合する接合層と、

前記第1金属性基体の前記上面と前記第1半導体チップの前記第1主電極とを互いに電気的に導通させる第1導電層と、

前記第1半導体チップの前記第2主電極と前記第2金属性基体の前記下面とを互いに電気的に導通させる第2導電層と、

前記第2金属性基体の前記上面と前記第2半導体チップの前記第1主電極とを互いに電気的に導通させる第3導電層と、

前記第2半導体チップの前記第2主電極と前記第3金属性基体の前記下面とを互いに電気的に導通させる第4導電層と、

前記第3金属性基体の前記上面と前記絶縁基板の前記下面とを接着する第1接着剤と、

前記絶縁基板の前記上面と前記第2導電性基体の前記下面とを接着する第2接着剤とを更に備えることを特徴とする、半導体装置。

【請求項7】 請求項5又は6記載の半導体装置であつて、

前記第1半導体チップ及び前記第2半導体チップの他の母材もまた前記ワイドギャップ半導体であることを特徴とする、半導体装置。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、1つのパッケージ内に内包されている第1及び第2半導体チップを備える半導体装置であって、しかも、両半導体チップの内の少なくとも一方がワイドギャップ半導体（例えば、炭化シリコン又は窒化ガリウム）をその母材（ベース材）とする半導体装置に関するものである。本発明における以下の記載は、主に高圧用に使用される半導体装置に焦点を当たっているが、この発明はその様なパワー半導体装置に規定されるものではなく、あらゆるタイプの半導体装置を対象としている。

##### 【0002】

【従来の技術】電圧型インバータ応用では、一般的に、スイッチング機能を有するスイッチングチップと環流ダイオードチップとは、互いに逆並列に接続されている。

【0003】図9は、電圧型インバータに使用されている従来のモジュール型素子400の構造を示す断面図である。モジュール型素子400の各能動素子は、シリコンをその母材として作られている。即ち、密閉容器417内に内包されたスイッチングチップ401とダイオードチップ402とは、共にシリコンを用いて作られている。スイッチングチップ401は、その表面上に形成された陰極電極403及び制御電極404と、その裏面

上に形成された陽極電極405とを、有する。他方、ダイオードチップ402は、その表面上に形成された陽極電極406と、その裏面上に形成された陰極電極407とを、有する。そして、スイッチングチップ401の陽極電極405とダイオードチップ402の陰極電極407とは、導通板408に半田層409で半田付けされることで、相互に電気的に接続されている。又、スイッチングチップ401の陰極電極403と制御電極404とは、それぞれ、ボンディングワイヤ413によって陰極導通バー410と制御導通バー411とに接続されており、ダイオード402の陽極電極406はボンディングワイヤ413によって陰極導通バー410に接続されている。又、導通板408は、絶縁基板414を介して、冷却機能を有するヒートシンク415に接続されている。加えて、導通板408は、金属体416を介して、陰極導通バー412にも電気的に接続されている。

##### 【0004】

【0004】この様な構造により、各チップ401、402におけるエネルギー損失によって発生する熱は、裏面の電極405、407から、半田層409、導通板408、絶縁基板414、及びヒートシンク415より成る経路を通って、外部に放熱される。

##### 【0005】

【発明が解決しようとする課題】しかしながら、図9に示される従来のモジュール型素子においては、構造上、スイッチングチップ401及びダイオードチップ402は共に導通板408に電気的に且つ機械的に接続されているため、スイッチングチップ401又は／及びダイオードチップ402を、低損失化実現可能なワイドギャップ半導体を用いて作成しても、素子冷却機構の簡素化は如何実現され得ないし、しかも、密閉容器417ないしはモジュール型素子400自体の大幅な小形軽量化も達成され得ないのである。従って、図9の構造を有するモジュール型素子のチップを単にワイドギャップ半導体チップに置き換えてみても、半導体装置のコスト低減化は困難ないのである。

【0006】本発明はこの様な問題点を解決するために成されたものであり、その第1の目的は、シリコンをその母材とする半導体チップのみから成る能動素子を有する従来のモジュール型素子では放熱設計上配置することが出来なかった位置に半導体チップを配置可能することにより、素子冷却機構の大幅な簡素化を図ることにある。

【0007】又、本発明の第2の目的は、ワイドギャップ半導体チップを有するモジュール型素子の小形軽量化及び低コスト化を図ることにある。

##### 【0008】

【課題を解決するための手段】請求項1記載の発明は、半導体装置であって、外部に露出した底面と前記底面に対向する上面とを備えるヒートシンクと、前記ヒートシンクの前記上面に接合された絶縁基板と、前記絶縁基

板の上面に接合された導通板と、前記導通板の上面に第1導電層を介して電気的に接続された第1主電極と、前記第1主電極に対向し且つ面積的に前記第1主電極よりも小さい第2主電極とを備える第1半導体チップと、前記第1半導体チップの前記第2主電極に第2導電層を介して電気的に接続されており且つ面積的に前記第1半導体チップの前記第2主電極よりも小さい第1主電極と、前記第1主電極に対向する第2主電極とを備える第2半導体チップと、前記底面の露出部分を除く前記ヒートシンクと、前記絶縁基板と、前記導通板と、前記第1半導体チップと、前記第2半導体チップとをその内部空間内に密閉する容器とを備えており、前記第2半導体チップの前記第2主電極の上方部は前記容器の前記内部空間であり、前記第2半導体チップの母材は、シリコンよりもバンド間エネルギーギャップが大きいワイドギャップ半導体であることを特徴とする。

【0009】請求項1記載の発明は、請求項1記載の半導体装置であって、前記第1半導体チップの母材もまた前記ワイドギャップ半導体であることを特徴とする。

【0010】請求項3記載の発明は、半導体装置であって、外側に露出した底面と前記底面に對向する上面とを備えるヒートシンクと、前記ヒートシンクの前記上面に接合された絶縁基板と、前記絶縁基板の上面に接合された導通板と、前記導通板の上面の第1表面部分に第1導電層を介して電気的に接続された第1主電極と、前記導通板の前記上面の法線方向に該当する第1方向に關して前記第1主電極と對向する第2主電極とを備える第1半導体チップと、前記導通板の前記上面の内で前記第1表面部分に隣接した第2表面部分に第2導電層を介して電気的に接続された第1端部を有し且つ前記第1端部から第2端部に向けた第1方向に延在する第1部分と、前記第1部分の前記第2端部に連続しており且つ前記第1部分と共に第1導電層を成形する前記第1方向と直交する第2方向に延在する第2部分とを有する金属基体と、前記金属基体の前記第2部分の上面に第3導電層を介して電気的に接続された第1主電極と、前記第1方向に關して前記第1主電極と對向する第2主電極とを備える第2半導体チップと、前記底面の露出部分を除く前記ヒートシンクと、前記絶縁基板と、前記導通板と、前記第1半導体チップと、前記金属基体と、前記第2半導体チップとをその内部空間内に密閉する容器とを備えており、前記金属基体の前記第2部分の下面は前記第1半導体チップの前記第2主電極の上面上方に位置しており、前記第2半導体チップの母材は、シリコンよりもバンド間エネルギーギャップが大きいワイドギャップ半導体であることを特徴とする。

【0011】請求項4記載の発明は、請求項3記載の半導体装置であって、前記第1半導体チップの母材もまた前記ワイドギャップ半導体であることを特徴とする。

【0012】請求項5記載の発明は、半導体装置であつ

て、外部に露出した底面と前記底面に對向する上面とを備える第1導電性基体と、前記第1導電性基体の前記上面に配置された下面と前記下面に對向する上面とを備える第1金属基体と、前記第1金属基体の前記上面に配置された第1主電極と前記第1主電極に對向する第2主電極とを備える第1半導体チップと、前記第1半導体チップとを備える第2金属基体と、前記第2金属基体の前記上面に配置された第1主電極と前記第1主電極に對向する第2主電極とを備える第2半導体チップと、前記第2半導体チップの前記第2主電極上に配置された下面と前記下面に對向する上面とを備える第3金属基体と、前記第3金属基体の前記上面に配置された第1主電極と前記第1主電極に對向する第2主電極とを備える第2半導体チップと、前記第2半導体チップの前記第2主電極上に配置された下面と前記下面に對向する上面とを備える第3金属基体と、前記第3金属基体の前記上面に配置された下面と前記下面に對向する上面とを備える絶縁基板と、前記絶縁基板の前記上面に配置された下面と、前記下面に對向し且つ外側に露出する上面とを備える第2導電性基体と、前記第1金属基体と前記第3金属基体とを互いに電気的に接続する第1配線と、前記第2金属基体と前記第2導電性基体とを互いに電気的に接続する第2配線と、前記底面の露出部分を除く前記第1導電性基体と、前記第1金属基体と、前記第1半導体チップと、前記第2金属基体と、前記第2半導体チップと、前記第3金属基体と、前記絶縁基板と、前記上面の露出部分を除く前記第2導電性基体と、前記第1配線と、前記第2配線とを、その内部空間内に密閉する容器とを備え、前記第1導電性基体の前記底面及び前記上面は、面積的に、前記第1半導体チップの前記第1及び第2主電極よりも大きく、前記第2導電性基体の前記下面及び前記上面は、面積的に、前記第2半導体チップの前記第1及び第2主電極よりも大きく、前記第1半導体チップ及び前記第2半導体チップの少なくとも一方の母材は、シリコンよりもバンド間エネルギーギャップが大きいワイドギャップ半導体であることを特徴とする。

【0013】請求項6記載の発明は、請求項5記載の半導体装置であって、前記第1導電性基体の前記上面と前記第1金属基体の前記下面とを互いに機械的に接合する接合層と、前記第1金属基体の前記上面と前記第1半導体チップの前記第1主電極とを互いに電気的に導通させる第1導電層と、前記第1半導体チップの前記第2主電極と前記第2金属基体の前記下面とを互いに電気的に導通させる第2導電層と、前記第2金属基体の前記上面と前記第2半導体チップの前記第1主電極とを互いに電気的に導通させる第3導電層と、前記第2半導体チップの前記第2主電極と前記第3金属基体の前記下面とを互いに電気的に導通させる第4導電層と、前記第3金属基体の前記上面と前記絶縁基板の前記下面とを接着する第1接着剤と、前記絶縁基板の前記上面と前記第2導電性基体の前記下面とを接着する第2接着剤とを更に備えることを特徴とする。

【0014】請求項7記載の発明は、請求項5又は6記

載の半導体装置であって、前記第1半導体チップ及び前記第2半導体チップの他方の母材もまた前記ワイドギャップ半導体であることを特徴とする。

## 【0015】

【発明の実施の形態】例えば炭化シリコン又は窒化ガリウムより構成されるワイドギャップ半導体は、シリコンに代わる半導体チップの母材（ベース材）として、注目されている。その理由は、次の通りである。

【0016】(利点1)先ず、炭化シリコン又は窒化ガリウムと言う様なワイドギャップ半導体は、シリコンに比べて大きなバンド間エネルギーギャップを有する結果、高い熱安定性を有する。即ち、炭化シリコン又は窒化ガリウムをその母材として製造されたデバイスは、1000ケルビンと言う高温下においても動作可能である。この様な高温動作可能と言う特徴を利用するにより、具体的には、炭化シリコンは窒化ガリウム等のワイドギャップ半導体よりも成る半導体チップ（ワイドギャップ半導体チップ）を、密封容器内の、冷却効果が比較的低い箇所に配置することにより、デバイスの高密度配置化を図り、以ってヒートシンク等の素子冷却機構の簡素化を図ることが期待される。

【0017】(利点2)更に、炭化シリコン又は窒化ガリウムはシリコンよりも約10倍高い降伏電界を有するので、シリコンを材料としたデバイスと比較して、ワイドギャップ半導体チップではある電圧阻止能力に必要な空隙幅を非常に薄く設定することが出来る。従って、カソード電極とアノード電極間の距離をシリコンの場合よりも短くすることが出来るので、電極間距離にはほぼ比例した電流通電時の電圧降下が小さくなる。言いかえれば、ワイドギャップ半導体チップでは、電流通電時に発生する定常損失を小さくすることが出来る（チップ自体を小型化出来る）。この効果により、炭化シリコン又は窒化ガリウムを利用したダイオード又は/及びスイッチングデバイスは、シリコンを利用したダイオード及びスイッチングデバイスに比べて、スイッチング損失と定常損失との間に成立する二律背反の関係を大幅に改善出来ると言う利点を有する（スイッチング損失と定常損失との間の二律背反関係を改善出来ると期待されている）。

【0018】そこで、本発明では、ワイドギャップ半導体チップが有する上記利点を実現すべく、(A)ワイドギャップ半導体チップを別の半導体チップ直上に配置する（実施の形態1、3）、あるいは、(B)ワイドギャップ半導体チップを別の半導体チップが配置されている平面の上方に配置する（実施の形態2）と言ふ構成を、採用している。これにより、ワイドギャップ半導体チップは、シリコンチップの場合よりも軽微な冷却機構によって冷却されても、十分にその機能を発揮し得る。以下、各実施の形態毎に、その詳細を添付図面と共に記載する。

【0019】(実施の形態1)図1は、本実施の形態に係る半導体装置ないしはモジュール型素子100の構成を示す縦断面図である。図1は、シリコンをその母材として作られた半導体スイッチングチップ（単にスイッチングチップと称す）ないしは第1半導体チップ101と、シリコンよりもバンド間エネルギーギャップが大きいワイドギャップ半導体をその母材として作られたダイオードチップないしは第2半導体チップ102とを、密閉容器117内に配置する構成を示している。

【0020】図1において、冷却機能を有するヒートシンク115は、その周縁部分を除いて外部に露出した底面115BSと、底面115BSに対応する上面115TSと、両面115BS、115TSで挟まれた側面115SSとを備える。このヒートシンク115の上面115TS上には、絶縁基板114が、接着剤（図示せず）によって接合・配設されている。ここで、上面115TSと絶縁基板114の下面とは、面積的には互いに等しい。更に、絶縁基板114の上面には、導通板108が、接着剤（図示せず）によって接合・配設されている。ここでも、上面115TSと絶縁基板114の上面と導通板108の下面とは、面積的には互いに等しい。

【0021】更に、スイッチングチップ101は、その裏面上に形成された陽極電極ないしは第1主電極105と、その表面上に形成された陰極電極ないしは第2主電極103及び制御電極104とを有する。ここで、陰極電極103は、陽極電極105に対応しており、且つ、面積的に陽極電極105よりも小さい（S1>S2）。そして、スイッチングチップ101の陽極電極105は、半田もしくは錫剤より成る第1導電層109Aを介して、導通板108の上面に電気的に接続されている。又、制御電極104は、ポンディングワイヤ113を介して、密閉容器117上に設けられた制御導通バー111に接続されており、陰極電極（103）は、ポンディングワイヤ113を介して、密閉容器117上に設けられた陰極導通バー110に接続されている。

【0022】更に、ダイオードチップ102は、その裏面上に形成された陽極電極ないしは第1主電極106と、その表面上に形成された陰極電極ないしは第2主電極107とを、有する。ここで、陽極電極106は、スイッチングチップ101の陰極電極103よりも面積的に小さく（S2>S3）、陽極電極106に對応する陰極電極107は、面積的に陽極電極106と互いに等しい。そして、ダイオードチップ102の陽極電極106は、半田もしくは錫剤より成る第2導電層109Bを介して、スイッチングチップ101の陰極電極103上に電気的に接続されている。又、ダイオードチップ102の陰極電極107は、ポンディングワイヤ116によつて、密閉容器117上に設けられた陽極導通バー112に電気的に接続されており、しかも、導通板108の上

面もまた、ボンディングワイヤ116によって、陽極導通バー112に電気的に接続されている。

【0023】そして、密閉容器117は、底面115BSの露出部分を除くヒートシンク115全体と、絶縁基板114全体と、導通板108全体と、スイッチングチップ101全体と、ダイオードチップ102全体とを、その内部空間内に密閉している。その際、ダイオードチップ102の陰極電極107の上方部分は、密閉容器117の内部空間に該当している。

【0024】以上の構成により、スイッチングチップ101におけるエネルギー損失によって生じた第1熱は、裏面の陽極電極105及び第1導電層109Aから、直接的に導通板108、絶縁基板114及びヒートシンク115より成る素子冷却機構ないしは経路を通って、底面115BSの露出部分から外部に放熱される。

【0025】これに対して、ダイオードチップ102におけるエネルギー損失によって生じた第2熱は、裏面の陽極電極106及び第2導電層109Bを介して一旦スイッチングチップ101内に在り、その後、スイッチングチップ101内で発生する上記第1熱と共に、上記の素子冷却機構（108、114、115）へと伝わることにより、外部に放熱される。

【0026】この様に、ダイオードチップ102は、スイッチングチップ101を介在させた上で、間接的に上記の素子冷却機構（108、114、115）によって冷却されるのである。このため、ダイオードチップ102の動作温度はスイッチングチップ101のそれよりも高温となるが、ダイオードチップ102はワイドギャップ半導体をその母材として形成されているため、高温でも正常に動作可能であり、何ら問題は生じない。即ち、通常のシリコンによる半導体チップでは、使用出来る限界温度は約150°Cであるけれども、ワイドギャップ半導体チップの場合には、理論的に500°C~600°Cまでは使用可能である。

【0027】以上様に、本実施の形態によれば、シリコンより構成されるスイッチングチップ101を上記の素子冷却機構（108、114、115）によって直接的に冷却する一方、ワイドギャップ半導体より構成されるダイオードチップ102を間接的に冷却するだけで足りるので、図9の従来技術の場合と比較してより軽微な冷却方式で以て、当該モジュール型素子100の機能を十分に発揮させることが可能となる。即ち、素子冷却機構の簡素化を達成することが出来る。

【0028】しかも、図1の素子冷却機構（108、114、115）は図9の素子冷却機構（408、414、415）と比較して寸法的に小さく且つ重量的にも軽いと共に、図1のダイオードチップ102もまた図9のダイオードチップ402と比較して小型・軽量であるので、モジュール型素子100の小型化・軽量化・低コスト化を図ることが出来る。具体的には、図1のモジ

ュール型素子100を採用する場合には、同素子100を図9に示したモジュール型素子400の約2/3の大きさに小型化することが出来る。尚、実際の各部103~107、109A及び109Bの厚みは導通板108のそれと比べて無視できる程に薄いので（それは、導通板108の厚みの数十分の一程度）、両チップ101、102を図1の様に2段重ねに上積み配設しても、その高さは図9の各チップ401、402の高さと殆ど違わない。

【0029】ここで、特開平11-274482号公報の図5には、隣り合うチップ同士の絶縁性をより一層高めると言う観点から、導電板を介在させて、S1CダイオードチップとS1スイッチングチップとが縦に並んで配置されている構造が、提案されている。ここで、同公報の図5の構造及びその説明文中においては、各チップより生ずる熱を外部に放出するための冷却機構を設ける点が何ら開示・提案されてはいないが、若しこの構造にその様な冷却機構を設けるとするならば、縦に並んだ複数のチップの内で一番外側に位置するS1Cダイオードチップに接続された導電板の外側の露出面に接触する様に、ヒートシンク等が配設されるものと、考えられる。しかしながら、この様な構成では、S1Cダイオードチップが上記露出導通板を介して直接的にヒートシンク等によって冷却されることとなるので、高温動作可能と言ふワイドギャップ半導体チップの持つ利点が全く活かされないこととなり、この特性を利用してモジュール型素子の小型化・軽量化を図ることも到底期待出来ないと言う難点がある。この点で、図1に示した本実施の形態に係るモジュール型素子100は、上記公報の図5の構造よりも格段に実用性に富んだ半導体装置を提供し得るものである。

【0030】又、上記公報の図5の構造では、面積的に互いに同一寸法のS1CダイオードチップとS1スイッチングチップとを絶縁構造物により被覆することにより、両チップをその間に介在する導電板に接触させてないので、上記公報の図5におけるS1Cダイオードチップを既述した図9のモジュール型素子に組み合わせても、これにより得られるモジュール型素子は、本実施の形態に係るモジュール型素子とは、構造上、かけ離れたものとなる。

【0031】尚、スイッチングチップ101の母材もまた、上記ワイドギャップ半導体としても良い。この場合には、スイッチングチップ101についても、その小型化・軽量化を図ることが出来るので、これによって、モジュール型素子100全体の更なる小型化・軽量化に貢献することが出来る。

【0032】(変形例) 図2は、実施の形態1の変形例に係るモジュール型素子100Aの構成を模式的に示す透視上面図である。図2に示す様に、素子冷却機構（115+114+108）における導通板108の上面1

08S内の第1領域R1上には、第1半導体チップ101が配設されており、その第2主電極103上には第2半導体チップ102が配設されている(図1参照)。同様に、第1領域R1以外の上面108S内の各領域(例えば領域Rn)上にも、第1半導体チップ101及び第2半導体チップ102が配設されている(図1参照)。

【0033】この様に、本変形例では、第1半導体チップ101とその第2主電極上に配設された第2半導体チップ102を一組とする複数の半導体チップ群CG1が、共通の素子冷却機構(115+114+108)上に配設されており、且つ、各々の半導体チップ群CG1は、制御導通バー111、陽極導通バー110及び陰極導通バー112を共有している。つまり、陽極導通バー112と陰極導通バー110との間に、上記の複数の半導体チップ群CG1が並列接続されている。

【0034】従って、本変形例によれば、図1に示す一組のチップだけの場合と比較して、大電流化が図ることが出来ると言う利点がある。

【0035】(実施の形態2) 図3は、本実施の形態に係るモジュール型素子300の構成を示す縦断面図である。当該モジュール型素子300は、(1) 密閉容器317の内部空間の内で、素子冷却機構の上に配置された第1半導体チップの上方位置乃至は上層位置に、ワイドギャップ半導体をその母材とする第2半導体チップを配置すると共に、(2) 第2半導体チップを支持するL字状の金属基板の一部端を上記素子冷却機構に結合することで、当該金属基板を第2半導体チップから生じる熱の放熱経路にも利用する点を、その特徴点としている。以下、図3に基づき、その詳細を記載する。

【0036】モジュール型素子300の素子冷却機構は、ヒートシンク315と、絶縁基板314と、導通板308とから成る。これらの内で、冷却機構の主要部を成すヒートシンク315は、その周縁部分を除いて外部に露出したフラットな底面315BSと、第1方向D1に関して底面315BSに対応するフラットな上面315TSと、両面315BS、315TSで挟まれて第1方向D1に延在する側面315SSとを備える。又、絶縁基板314は、ヒートシンク315の上面315TS上に、接着剤(図示せず)によって接合・配設されている。更に、導通板308は、絶縁基板314の上面上に、接着剤(図示せず)によって接合・配設されている。ここで、第1方向D1は、当該素子冷却機構の上面、従って導通板308の上面308USの法線方向に相当している。

【0037】この導通板308の上面308USの内で、略中央部分を占める第1表面部分P1に、第1半導体チップ301の下面上に全面的に形成された第1主電極303ないしは陽極電極305が、半田又はロードから成る第1導電層309Aを介して、電気的に接続されてい

る。ここでは、第1半導体チップ301は、シリコンをその母材として有する、スイッチングチップ(例えばIGBT又はMOSFET)である。そして、第1半導体チップ301は、その上面に、第1方向D1に関して第1主電極305と対向する、第2主電極ないしは陰極電極303と制御電極304とを備える。ここで、第2主電極303及び制御電極304は共に、面積的には、第1半導体チップ301よりも小さく、しかも、兩電極303、304の各上面の上面308USからの高さは、図3では記号H1として表されている。加えて、第2主電極303は、ボンディングワイヤ313によつて、密閉容器317の上面に設けられた陰極導通バー310に接続されており、制御電極304は、ボンディングワイヤ313によって制御導通バー311に接続されている。

【0038】これに対して、導通板308の上面308USの内で、第1表面部分P1に第2方向D2に関して隣接した、外周縁付近に位置する第2表面部分P2上に、金属基板325の第1部分325P1の第1端部E1が、半田又は鋼材より成る第2導電層309Bを介して、電気的に接続されている。しかも、この第1部分325P1は、第1端部E1から第2端部E2に向けて、第1方向D1に沿つて延在している。即ち、第1端部E1を除く第1部分325P1は、長手方向D1及び短手方向D3に広がった両表面を有し、且つ、第2方向D2に沿つて厚みを有する。更に、金属基板325は、第1部分325P1に連結した第2部分325P2を有する。即ち、第2部分325P2は、第1部分325P1の第2端部E1に連結した一端部分を有し、且つ、上記一端部分から第1方向D1に直交する第2方向D2に沿つて延在した他端部分E3を有する。換言すれば、第2部分325P2は、長手方向D2及び短手方向D3に広がった両表面325LS、325USを有し、且つ、第1方向D1に沿つて厚みを有する。従つて、金属基板325は、D1-D2平面に関して略し字状の縦断面を有する。しかも、金属基板325の第2部分325P2の下面325LSは、第1半導体チップ301の第2主電極303の上面303US上方、及び制御電極304の上面304US上方に位置している。つまり、上面308USからの下面325LSの高さH2は、第2主電極303の高さH1よりも大きい。そして、他端部分E3付近の上面325USは、ボンディングワイヤ316によって陽極導通バー312に電気的に接続されている。

【0039】更に、金属基板325の第2部分325P2の上面325USにおける略中央領域上に、半田又は鋼材より成る第3導電層309Cを介して、第2半導体チップ302の第1主電極ないしは陰極電極307が、電気的に接続されている。ここで、第2半導体チップ302はダイオードチップであり、その母材は、シリコンよりもバンド間エネルギーギャップが大きいワイドギ

ヤップ半導体である。又、第2半導体チップ302は、第1方向D1に関して第1主電極307と対向する第2主電極ないしは陽極電極306を備える。この第2主電極306は、ボンディングワイヤ313によって、陰極導通バー310に接続されている。

【0040】そして、密閉容器317は、底面315BSの露出部分を除くヒートシンク315全体と、絶縁基板314全体と、導通板308全体と、第1半導体チップ301全体と、金属基体325全体と、第2半導体チップ302全体とを、その内部空間内に密閉している。

【0041】以上の構造により、第1半導体チップ301におけるエネルギー損失によって発生した熱は、第1導電層309Aを介して、素子冷却機構（315+314+308）によって直接的に冷却される。他方、第2半導体チップ302のエネルギー損失によって発生した熱は、一旦、第3導電層309Cを介して金属基体325に伝わり、その後、第2半導体層309Bを介して素子冷却機構（315+314+308）へと伝わり、底面315BSの露出部分から外部に放熱される。

【0042】この様に、第2半導体チップ302側で発生する熱は、金属基体325と言う中間の放熱経路の存在により、間接的に素子冷却機構（315+314+308）によって冷却される。換言すれば、第2半導体チップ302は、第1半導体チップ301と比較して、ヒートシンク315からより遠方の冷却へにくい上層位置（即ち、放熱設計上、シリコンチップをそこに配置出来ない位置）に配置されている。このため、第2半導体チップ302の動作温度は第1半導体チップ301のそれよりも高くなるが、第2半導体チップ302の母材はワイドギャップ半導体であるため、実施の形態1と同様に、第2半導体チップ302はその様な高温下においても正確に動作可能である。

【0043】以上の通り、本実施の形態では、第2半導体チップ302がワイドギャップ半導体チップであることを利用して第2半導体チップ302を金属基体325上に配置しているので、図9に示された従来技術と比較して、ダイオードが占めていたスペースに相当する分だけ、素子冷却機構（315+314+308）の簡素化、小型化及び軽量化を図ることが出来ると共に、第2半導体チップ302自身の小型化及び軽量化をも図ることが出来る結果、モジュール型素子300の小型化、軽量化及び低コスト化を達成することが可能となる。具体的には、図3のモジュール型素子300を、図9に示したモジュール型素子400の約2/3の大きさに小型化することが出来る。又、モジュール型素子300の厚みに関しても、各導通バー310～312、325の形状及び寸法を最適化することにより、それを図9のモジュール型素子400のそれと同じ程度にまで薄く設定することが出来る。

【0044】しかも、本実施の形態によれば、第2半導

体チップ302は、寸法的に、第1半導体チップ301のサイズによって制限を受けないと言う利点が得られる。この点、実施の形態1（図1）では、第2半導体チップ102は第1半導体チップ101の陰極電極103の上に搭載されている関係上、必然的に、第2半導体チップ102のサイズは第1半導体チップ101の陰極電極103の寸法によって制限される。

【0045】ここで、特開平11-274482号公報の図6には、チップ間の配線の長さをより短くして損失を更に低減すると言う観点から、複数のスイッチング素子チップを下層に配置してそれぞれのチップを配線で接続すると共に、これらのスイッチング素子チップの上層にSICダイオードチップを配置し、当該SICダイオードチップの各電極を下層の対応するスイッチング素子チップの電極に配線で接続すると言う構造が、提案されている。しかしながら、同公報の図6及びその説明文書中に、上層のSICダイオードチップで発生する熱を外部に放熱すると言う考え方及びそれを実現するための構成が何ら提案されてはいないのである。

【0046】尚、第1半導体チップ301の母材もまた、上記ワイヤグリップ半導体としても良い。この場合には、第1半導体チップ301についても、その小型化・軽量化を図ることが出来るので、これによって、モジュール型素子300全体制の更なる小型化・軽量化に貢献することが出来る。

【0047】又、金属基体325上に、複数のダイオードチップを配置する様にしても良い。

【0048】（変形例1）図4は、実施の形態2の変形例1に係るモジュール型素子300Aの構造を示す断面図である。本変形例では、ワイドギャップ半導体から成る母材を有し且つ金属基体325上に配置された第2半導体チップ301はスイッチングチップであり、その第1及び第2主電極はそれぞれ陽極電極305及び陰極電極303に該当する。これに対して、導通板308上に第1導電層309Aを介して配置される第1半導体チップ302は、シリコン又はワイドギャップ半導体から成る母材を有するダイオードチップであり、その第1及び第2主電極はそれぞれ陰極電極307及び陽極電極306に該当する。本変形例においても、実施の形態2と同様の作用・効果が得られる。

【0049】尚、本変形例においても、複数のスイッチングチップを金属基体325上に配置する様にしても良い。

【0050】（変形例2）図5は、実施の形態2の変形例2に係るモジュール型素子300Bの構成を模式的に示す透視上面図である。図5に示す様に、第1半導体チップ301と金属基体325上に配設された第2半導体チップ302と一緒にとする複数の半導体チップ群CG2が、一つの（共通の）素子冷却機構（315+314+308）上に配設されている。しかも、各半導体チッ

群CG2は、各導通バー311、310、312を共に有している。即ち、陽極導通バー312と陰極導通バー310との間に、複数の半導体チップ群CG2が並列接続されている。

【0051】又、図4の変形例1を本変形例に同様に適用しても良い。

【0052】本変形例によれば、図3又は図4に示す一組のチップだけの場合と比較して、大電流化を図ることが出来ると言えど利益がある。

【0053】(実施の形態3) 図6は、本実施の形態に係る圧接型のセンジング型素子(半導体装置)2000の構成を示す縦断面図である。図6は、ワイドギャップ半導体から成る母材を有するスイッチングチップ2001

(第1半導体チップに相当)と、同じくワイドギャップ半導体から成る母材を有するダイオードチップ2002(第2半導体チップに相当)と、外部からの押圧によって密閉容器217内に配置する一例を示している。

【0054】スイッチングチップ2001は、その表面上に形成された陰極電極(第2主電極)203及び制御電極204と、その裏面上に形成された陽極電極(第1主電極)205とを有する。これらの電極の内側、制御電極204は、ボンディングワイヤないしは第3配線225によって、密閉容器217に設けられた制御導通バー211に接続されている。他方、ダイオードチップ2002は、その表面上に形成された陽極電極(第2主電極)207と、その裏面上に形成された陰極電極(第1主電極)206とを有する。

【0055】先ず、外部への放熱機能を有する第1導電性基板(例えば金属より成る)223は、その周縁部分を除いて外部に露出した底面223BSと、荷重負荷方向224にに関して底面223BSに對向する上面223USと、両面223BS、223USに挟まれた側面223SSとを備える。ここで、荷重負荷方向224とは、底面223BS及び後述する上面222USの法線方向に相当する。しかも、底面223BSは、外部の陽極導通バー212に電気的に接続される。

【0056】又、第1導電性基板220は、本装置2000をユーザが実際に使用する際にユーザによって外部から加えられる荷重(押圧)により接続されて第1導電性基板223の上面223USに機械的に完全に接觸し、從って、両面223USに完全に導通し得る下面と、荷重負荷方向224にに関して当該下面に對向する上面220USと、側面とを備える。

【0057】更に、スイッチングチップ2001の陽極電極205は第1導電性基板220の上面220US上に配置されており、実使用時には、同電極205は、上記荷重の負荷(押圧)により生ずる押圧により接觸し、第1導電性基板220の上面220USに機械的に完全に接觸し、從って、両面220USに電気的に完全に導通する。ここで、荷重負荷方向224に直交する平面である陽極電極

205の上面及び下面是、面積的には、第1導電性基板223の底面223BS及び上面223USよりも小さい。この点は、陰極電極203についても、同様である。つまり、スイッチングチップ2001は、面積的に、第1導電性基板223よりも小さい(面積S1>面積S2)。

【0058】更に、第2導電性基板219の下面是スイッチングチップ2001の陰極電極203上に配置されており、実使用時には、同下面是、上記荷重の負荷(押圧)により接觸されて、スイッチングチップ2001の陰極電極203に機械的に完全に接觸し得る。即ち、第2導電性基板219は、押圧により、陰極電極203と完全に電気的に導通する。

【0059】更に、ダイオードチップ2002の陽極電極206が、突出部219PPを除く第2導電性基板219の上面に配置されており、実使用時には、同電極206は、上記荷重の負荷(押圧)により接觸されて、突出部219PPを除く第2導電性基板219の上記上面部分に機械的に接觸し、同基板219と電気的に導通する。換言すれば、陽極電極206は、押圧時に第2導電性基板219と完全に導通する様に、第2導電性基板219の上面に配設されている。

【0060】以上の通り、押圧時には、スイッチングチップ2001の陰極電極203とダイオードチップ2002の陽極電極206とは、その間に挟まれた第2導電性基板219を通じて、互いに電気的に接続される。

【0061】更に、第3導電性基板218の下面が、ダイオードチップ2002の陰極電極207上に配置されており、実使用時には、同下面是、上記荷重の負荷(押圧)により接觸されて、ダイオードチップ2002の陰極電極207に機械的に接觸し、これにより、同基板218は陰極電極207に電気的に完全に導通する。そして、第3導電性基板218の側面は、ボンディングワイヤ等の第1配線216によって、第1導電性基板220の上面220USに電気的に接続されている。

【0062】更に、絶縁基板221の下面が、第3導電性基板218の上面に配置されており、実使用時には、同基板221の下面是、上記荷重の負荷(押圧)により接觸されて、第3導電性基板218の上面に機械的に完全に接觸する。

【0063】更に、外部への放熱機能を有する第2導電性基板(例えば金属より成る)222の下面222LSが、絶縁基板221の上面に配置されており、実使用時には、同面222LSは、上記荷重の負荷(押圧)により接觸されて、絶縁基板221の上面に機械的に完全に接觸する。そして、第2導電性基板222の、周縁部分を除いて外部に露出する上面222USは、外部の陽極導通バー210に接続可能であり、しかも、その下面222LSは、ボンディングワイヤ等の第2配線213によって、第2導電性基板219の突出部219PPに

電気的に接続されている。加えて、第2導電性基体222の下面222LS及び上面222USは、面積的に、ダイオードチップ202の陽極電極206及び陰極電極207よりも大きい（面積S4 > 面積S3）。

【0064】更に、密閉容器217は、底面223BSの露出部分を除く第1導電性基体223全体と、第1金属基体220全体と、スイッチングチップ201全体と、第2金属基体219全体と、ダイオードチップ202全体と、第3金属基体218全体と、絶縁基板221全体と、上面222USの露出部分を除く第2導電性基体222全体と、第1配線216全体と、第2配線213全体と、第3配線225全体とを、その内部空間内に密閉している。

【0065】図6に示す、密閉後の圧接を行わない状態における圧接型半導体装置200では、対面する両内蔵パーツの電気的接触又は機械的接触は完全な状態ではない。但し、対面する両内蔵パーツは完全なオーブン状態にあるわけではなく、その間の接触抵抗により、不完全ながらも電気的接触又は機械的接触を有している。

【0066】対面する両内蔵パーツを完全な電気的接触又は完全な機械的接触を確保するためには、ユーザ側で、その使用時に、圧接型半導体装置200内の各パーツを圧接する必要がある。そこで、ユーザは、その使用時に、第2導電性基体222と第1導電性基体223とに対して、矢印224で示す荷重負荷方向に、外部から加重を加えている。即ち、モジュール型素子200は、荷重負荷方向224に荷重が加えられた図6に示す状態で使用される。この荷重負荷により、両導電性基体222、223間に挟まれている各部221、218、202、219、201、220は、対向する部分に圧接されて完全に機械的に固定される。

【0067】以上の通り、図6のモジュール型素子200では、一方のチップデバイスの主電極が第2金属基体219を介して他方のチップデバイスの主電極に接觸しているため、放熱効率が從来の圧接型モジュールと比較して低下せざるを得ない。即ち、ダイオードチップ202の損失により発生する熱は、主として、陰極電極207、第3金属基体218、絶縁基板221、及び第2導電性基体222を経て、モジュール外部へと排熱される。他方、スイッチングチップ201の損失により発生する熱は、陽極電極205、第1金属基体ないしはバッファ板220及び第1導電性基体223を経て、モジュール外部へと排熱される。このため、各チップデバイスの動作温度は、従来の場合よりも高温となってしまう。

【0068】この点、シリコンを母材とする半導体チップのみを能動素子として用いる従来の圧接型モジュールの場合には、対向する一対の導電性基体の間に、スイッチングチップとダイオードチップが並列的に配置されているので、各半導体チップの損失による熱は、両電極側から排熱される。

【0069】しかしながら、図6のモジュール型素子200では、スイッチングチップ201及びダイオードチップ202は、共に高温動作可能なワイドギャップ半導体チップ（理論的には約500°C～600°Cまで動作可能）から構成されているので、両チップ201、202は、その様な高温下においても、正常に動作可能である。

【0070】以上の構成により、本実施の形態は、次の様な利点を奏する。即ち、①ヒートシンクを用いないので、軽微な素子冷却構造を提供出来ると共に、②一方のチップの上に他方のチップを対面配置しているので、両チップを挟みこむ一対の導電性基体を従来の場合のそれよりも十分に小さく且つ十分に軽量化することが出来（図6の第1及び第2導電性基体223、222参照）、加えて、ワイドギャップ半導体チップ201、202を從来のシリコン半導体チップよりも小型化・軽量化出来る結果、小型・軽量・低成本のモジュール型素子を提供することが出来る。③更に、両チップ201、202間に第2金属基体219を設けているので、全体の熱容量を増大させることが出来る上に、第2配線213の取り出しを可能とし得る。④更に、各チップ201、202の各電極に対するワイヤボンディングを回避できるので、ボンディングワイヤにおける電気的損失の発生が無くなると言う利点が得られる。⑤更に、圧接によって完全な電気的接触を実現するので、使用温度によっては半田が溶けてしまうと言う様な問題は生じない。このため、より熱的に過酷な条件下においても本装置200を使用することが出来ると言う利点がある。⑥又、各チップ201、202の放熱経路が別々に確保されていると言う点では、寧ろ放熱効率を高め得ると言う効果が期待出来る。

【0071】尚、両半導体チップ201、202の内どちらか一方の半導体チップの発热量が多い場合には、発热量の多い方の半導体チップのみをワイドギャップ半導体チップとしても良い（他方の半導体チップはシリコン半導体チップとする）。

【0072】（変形例1）図7は、実施の形態3の変形例1に係るモジュール型素子200Aの構成を示す縦断面図であり、図7中、図6と同一の参照記号は同一のものを示す。本変形例の特徴点は、密閉容器217内に内蔵されている全てのパーツ223、220、201、219、202、218、221、222を、半田又はロードから成る導電層又は樹脂等より成る接着剤によって完全に一体化することにより、使用時にユーザ側で本装置200Aを圧接する必要性が無い様に、改良した点にある。即ち、モジュール型素子200Aは、（1）第1導電性基体223の上面223USと第1金属基体220の下面とを互いに機械的に接合する接合層（接着剤又は半田等の導電層による）228と、（2）第1金属基体220の上面220USと第1半導体チップ201

の第1主電極205とを互いに接合して電気的に導通させる第1導電層229と、(3)第1半導体チップ201の第2主電極203と第2金属基板219の下面とを互いに接合して電気的に導通させる第2導電層226と、(4)第2金属基板219の上面と第2半導体チップ202の第1主電極206とを互いに接合して電気的に導通させる第3導電層227と、(5)第2半導体チップ202の第2主電極207と第3金属基板218の下面とを互いに接合して電気的に導通させる第4導電層230と、(6)第3金属基板218の上面と絶縁基板221の下面とを接着する第1接着剤231と、(7)絶縁基板221の上面と第2導電性基板222の下面222LSとを接着する第2接着剤232とを、更に有する。

【0073】(変形例2)図8は、実施の形態3の変形例2に係るモジュール型素子200Bの構成を模式的に示す透視面図である。本変形例では、各半導体チップ群CG3に共通した一对の導電性基板222、223間に、図6に示すスイッチングチップ201とダイオードチップ202とを一組とする複数の半導体チップ群CG3を、並列的に配置した点に特徴がある。各半導体チップ群CG3は、図6に示す導電部バーノー10、211、212を共有している。

【0074】勿論、図7の変形例1を本変形例に適用することは可能である。その場合は、既述した通り、ユーティによる荷重負荷(圧接)は不用である。

【0075】本変形例によれば、図6又は図7に示す一組のチップだけの場合と比較して、大電流化を図ることが出来ると言う利点がある。

【0076】(まとめ)本発明に係るモジュール型素子においては、炭化シリコンや窒化ガリウム等のワイドギャップ半導体をその部材とする少なくとも一つの半導体チップをモジュール型素子に搭載しているので、放熱設計上は従来のシリコンチップを配置することが出来ない位置にチップを配置する事が可能となる。これにより、従来装置と比較して、小型・軽量且つ低コストのモジュール型素子を提供することが出来る。

#### 【0077】

【発明の効果】請求項1記載の発明によれば、第2半導体チップを、その機能を低下させることなく、第1半導体チップの配置位置と比較して、ヒートシンク、絶縁基板及び導通板により成る素子冷却機構から遠方に離れた位置(即ち、放熱設計上シリコン半導体チップをそこに配置できない位置)に配置し、且つ、第1半導体チップを介在させて第2半導体チップを間接的に冷却することが出来、これにより、当該素子冷却機構の簡素化を達成することが出来る。従って、本発明は、素子冷却機構を簡素化出来る分だけ、半導体装置の小型化・軽量化・低コスト化を実現することが出来る。加えて、本発明は、第2半導体チップをワイドギャップ半導体チップとすることで第2半導体チップの小型化を実現出来るので、その分だけ更に一層、半導体装置の小型化を推進することが出来る。

【0078】請求項2記載の発明によれば、第1半導体チップ自体の小型化をも実現出来るので、その分だけ更に一層、半導体装置の小型化を推進することが出来る。

【0079】請求項3記載の発明によれば、金属基板を利用することにより、第2半導体チップを、その機能を低下させることなく、放熱設計上シリコン半導体チップをそこに配置できない上層位置に配置し、且つ、金属基板を介在させて第2半導体チップをヒートシンク、絶縁基板及び導通板により成る素子冷却機構によって間接的に冷却することが出来、これにより、当該素子冷却機構の簡素化を達成することが出来る。従って、本発明は、素子冷却機構を簡素化出来る分だけ、半導体装置の小型化・軽量化・低コスト化を実現することが出来る。加えて、本発明は、第2半導体チップとすることで第2半導体チップの小型化を実現出来るので、その分だけ、更に半導体装置の小型化を推進することが出来る。更に、本発明によれば、第2半導体チップは第1半導体チップの上方に配置されているので、第2半導体チップは第1半導体チップのサイズによる制限を受けることはないと言う効果がある。

【0080】請求項4記載の発明によれば、第1半導体チップ自体の小型化をも実現出来るので、その分だけ更に一層、半導体装置の小型化を推進することが出来る。

【0081】請求項5記載の発明によれば、第2金属基板を挟んで第1及び第2半導体チップが対面配置され、且つ、第1及び第2半導体チップは第1及び第3金属基板と絶縁基板を介して第1及び第2導電性基板によって挟み込まれているので、素子冷却機構の簡素化、及び半導体装置自体の小型化・軽量化・低コスト化を図ることが出来る。しかも、本発明によれば、第2金属基板を設けていることにより、装置全体の熱容量の増大化を図ることが出来ると共に、配線の取り出しを実現可能とし得ると言う効果が得られる。加えて、本発明によれば、第1及び第2半導体チップの放熱経路を別々に確保することが出来るので、放熱効率を高めることが出来ると言う効果も得られる。更に、少なくとも一方の半導体チップをワイドギャップ半導体チップとしているので、当該半導体チップの小型化を通じて、半導体装置の小型化に寄与することが出来ると言う効果も得られる。

【0082】請求項6記載の発明によれば、ユーティは半導体装置を圧接すること無く使用することが出来ると言う効果を奏す。

【0083】請求項7記載の発明によれば、他方の半導体チップ自体の小型化をも実現出来るので、その分だけ更に一層、半導体装置の小型化を推進することが出来る。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係るモジュール型素子の構成を示す縦断面図である。

【図2】 実施の形態1の変形例に係るモジュール型素子の構成を模式的に示す透視平面図である。

【図3】 本発明の実施の形態2に係るモジュール型素子の構成を示す縦断面図である。

【図4】 実施の形態2の変形例1に係るモジュール型素子の構成を示す縦断面図である。

【図5】 実施の形態2の変形例2に係るモジュール型素子の構成を模式的に示す透視平面図である。

【図6】 本発明の実施の形態3に係るモジュール型素子の構成を示す縦断面図である。

【図7】 実施の形態3の変形例1に係るモジュール型素子の構成を示す縦断面図である。

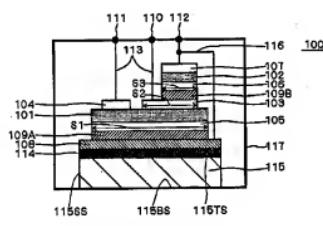
【図8】 実施の形態3の変形例2に係るモジュール型素子の構成を模式的に示す透視平面図である。

【図9】 従来技術に係るモジュール型素子の構造を示す縦断面図である。

#### 【符号の説明】

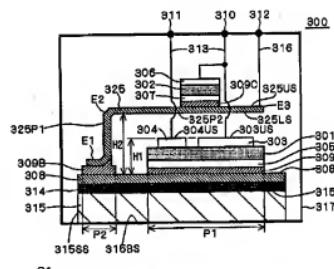
- 101, 201, 301, 401 スイッチングチップ、102, 202, 302, 402 ダイオードチップ、103, 203, 303, 403 スイッチングチップの陰極電極、104, 204, 304, 404 スイッチングチップの制御電極、105, 205, 305, 405 スイッチングチップの陽極電極、106, 206, 306, 406 ダイオードチップの陽極電極、107, 207, 307, 407 ダイオードチップの陰極電極、108, 308, 408導通板、110, 210, 310, 410 陰極導通バーもしくは陰極外部取り出し電極、111, 211, 311, 411 制御導通バーもしくは制御外部取り出し電極、112, 212, 312, 412 陽極導通バーもしくは陽極外部取り出し電極、114, 314, 414 絶縁基板、115, 315, 415ヒートシンク、117, 217, 317, 417 密封容器。

【図1】



- 101: スイッチングチップ  
102: ダイオードチップ  
103: 電極  
109A: 第1導電層  
109B: 第2導電層  
114: 隔離基板  
115: ヒートシンク  
117: 密封容器

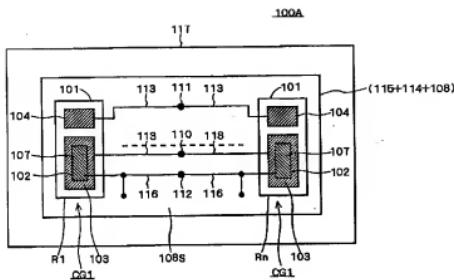
【図3】



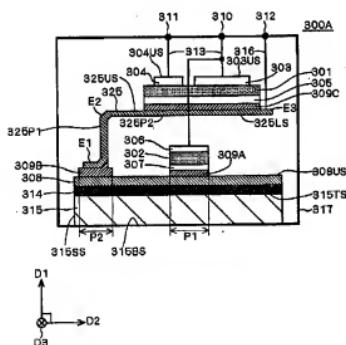
- 301: 第1半導体チップ  
302: 第2半導体チップ  
303: 電極  
309A: 第1導電層  
309B: 第2導電層  
309C: 第3導電層  
314: 隔離基板  
315: ヒートシンク  
317: 密封容器  
325: 金属性基板



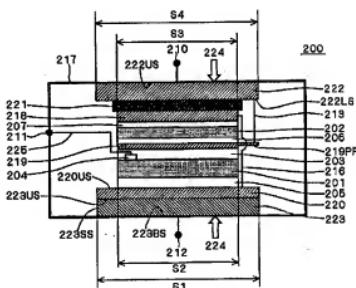
【図2】



【図4】

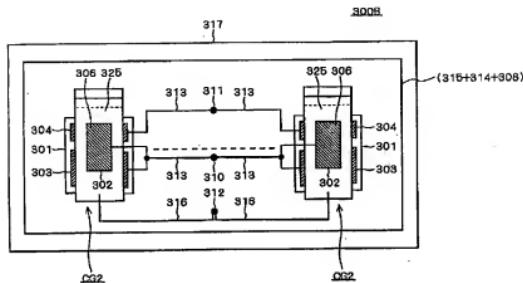


【図6】

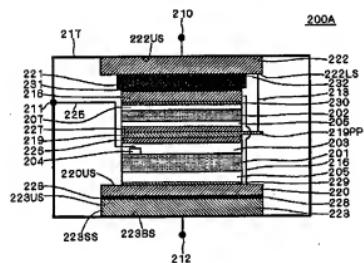


- 201 : スイッチングチップ
- 202 : ダイオードチップ
- 213 : 第2配線
- 216 : 第1配線
- 217 : 表面台枠
- 218 : 第3支持基体
- 219 : 第2支持基体
- 220 : 第1支持基体
- 221 : 地球基板
- 222 : 第2導電性基体
- 223 : 第1導電性基体

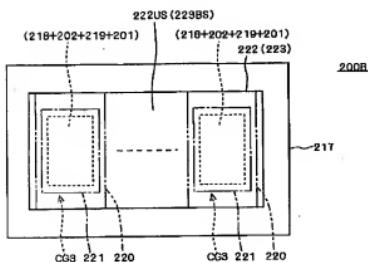
【図5】



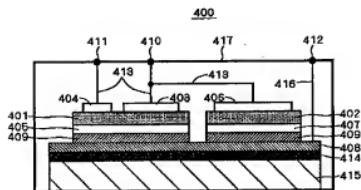
(図7)



【四八】



【図9】



---

フロントページの続き

(72)発明者 遠井 茂男  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(72)発明者 松尾 一成  
福岡県福岡市西区今宿東一丁目1番1号  
福菱セミコンエンジニアリング株式会社内  
F ターム(参考) 5F036 AA01 BA23 BB01 BB21 BC06  
5P047 AA19 BA04 BA05 BA06 BA21